

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-274340

(43)Date of publication of application : 05. 10. 2001

(51) Int. Cl.

H01L 27/04
H01L 21/822

(21)Application number : 2000-089290

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 28. 03. 2000

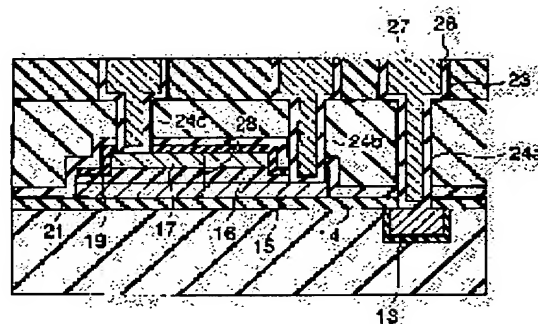
(72)Inventor : YOSHITOMI TAKASHI
MATSUMOTO MASAHIKO

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To form an ultracapacitor and multiple capacitors with two or more capacities and to relax electric field concentration while pursuing further miniaturization of elements.

SOLUTION: The first wiring 13 is formed within an insulating film, and a capacitor 28, comprising a lower electrode film 15, a lower electrode film 17 and a dielectric film 16, is formed apart from the first wiring 13. The thickness of the dielectric film 16 is almost equal to the sums of the thickness of a Cu diffusion prevention film 14 and the thickness of silicon nitride films 19 and 21.



LEGAL STATUS

[Date of request for examination]

21. 01. 2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3505465

[Date of registration]

19. 12. 2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-274340
(P2001-274340A)

(43) 公開日 平成13年10月5日 (2001.10.5)

(51) Int.Cl.⁷

H 0 1 L 27/04
21/822

識別記号

F I

H 0 1 L 27/04

データベース* (参考)

C 5 F 0 3 8
A

審査請求 未請求 請求項の数12 O L (全 10 頁)

(21) 出願番号 特願2000-89290(P2000-89290)

(22) 出願日 平成12年3月28日 (2000.3.28)

(71) 出願人 000003078

株式会社東芝
東京都港区芝浦一丁目1番1号

(72) 発明者 吉富 崇

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72) 発明者 松本 雅彦

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

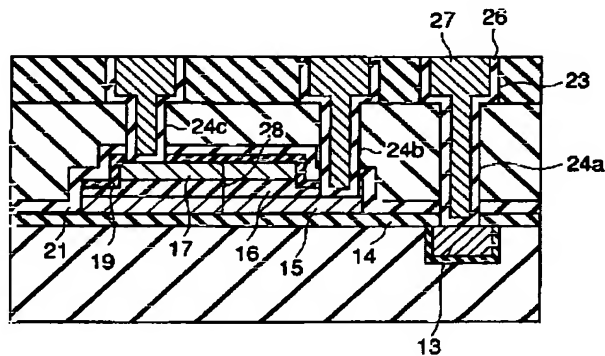
Fターム(参考) 5F038 AC05 AC07 AC15 AC17 CA02
CA05 CA07 EZ14 EZ15 EZ20

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 素子の微細化を図りつつ、大容量のキャパシタや二種類以上の容量を有する複数のキャパシタを形成することを可能とし、かつ、電界集中を緩和することを可能とする。

【解決手段】 絶縁膜内に第1の配線13が形成されており、この第1の配線13とは別に下部電極膜15と上部電極膜17と誘電体膜16からなるキャパシタ28が形成されている。また、キャパシタ28を構成する誘電体膜16の膜厚は、Cu拡散防止膜14の膜厚とシリコン窒化膜19及び21の膜厚を足した膜厚とほぼ等しい。



【特許請求の範囲】

【請求項1】 第1の絶縁膜内に選択的に形成された配線と、

全面に形成された第2の絶縁膜と、

前記配線以外の前記第2の絶縁膜上に形成された第1の電極膜と、

前記第1の電極膜上に形成され、膜厚が薄い領域を有する第3の絶縁膜と、

前記膜厚が薄い領域以外の第3の絶縁膜上に形成された第2の電極膜と、

前記第2の電極膜を覆い、かつ前記第3の絶縁膜の膜厚が薄い領域上に形成された第4の絶縁膜と、

全面に形成された第5の絶縁膜と、

前記第5の絶縁膜上に形成された第1の層間絶縁膜と、

前記第1の層間絶縁膜上に形成された第2の層間絶縁膜と、

前記第1の層間絶縁膜内に形成された前記第2の電極膜と接続する第1のV i aホールと、

少なくとも前記膜厚が薄い領域の第3の絶縁膜と側面が接し、前記第1の層間絶縁膜内に形成された前記第1の電極膜と接続する第2のV i aホールと、

前記第1の層間絶縁膜内に形成された前記配線と接続する第3のV i aホールと、

前記第2の層間絶縁膜内に形成された前記第1、第2、第3のV i aホール上にそれぞれ位置する配線溝とを具備することを特徴とする半導体装置。

【請求項2】 前記第1、第2の電極膜と前記第3の絶縁膜とによりキャパシタが形成されていることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記第2の絶縁膜の膜厚と、前記第3の絶縁膜の膜厚と、前記第4及び第5の絶縁膜の膜厚を足した膜厚とがほぼ等しいことを特徴とする請求項1記載の半導体装置。

【請求項4】 前記第3の絶縁膜が前記第1の電極膜上の一部分に形成され、前記第2のV i aホールの側面が前記第4、第5の絶縁膜と接していることを特徴とする請求項1記載の半導体装置。

【請求項5】 第1の絶縁膜内に形成された第1の配線と、

全面に形成された第2の絶縁膜と、

前記第2の絶縁膜内に形成された前記第1の配線と接続する第1、第2の接続孔と、

前記第1の接続孔上に形成された第1の電極膜と、

前記第1の電極膜を覆うように形成された第3の絶縁膜と、

前記第3の絶縁膜上に形成された第2の電極膜と、

前記第2の電極膜上に形成された第2の配線と、

前記第2の配線と離間し、前記第2の接続孔と接続する第3の配線とを具備することを特徴とする半導体装置。

【請求項6】 前記第1、第2の電極膜と前記第3の絶

縁膜とによりキャパシタが形成されていることを特徴とする請求項5記載の半導体装置。

【請求項7】 第1の絶縁膜内に選択的に形成された配線と、

全面に形成された第2の絶縁膜と、

前記第2の絶縁膜上に前記配線の一部分と重なるように形成された第1の電極膜と、

前記第1の電極膜上の一部分に形成された第3の絶縁膜と、

前記第3の絶縁膜上に形成された第2の電極膜と、

全面に形成された第1の層間絶縁膜と、

前記第1の層間絶縁膜上に形成された第2の層間絶縁膜と、

前記第1の層間絶縁膜内に形成された前記配線と接続する第1のV i aホールと、

前記第1の層間絶縁膜内に形成された前記第2の電極膜と接続する第2のV i aホールと、

前記第1の層間絶縁膜内に形成された前記第1の電極膜と接続する第3のV i aホールと、

前記第2の層間絶縁膜内に形成された前記第1、第2、第3のV i aホール上にそれぞれ位置する配線溝とを具備することを特徴とする半導体装置。

【請求項8】 前記配線と前記第1の電極膜と前記第2の絶縁膜とにより第1のキャパシタが形成され、前記第1、第2の電極膜と前記第3の絶縁膜とにより第2のキャパシタが形成されており、前記第1、第2のキャパシタは容量が異なることを特徴とする請求項7記載の半導体装置。

【請求項9】 第1の絶縁膜内に配線を形成する工程と、

全面に第2の絶縁膜を形成する工程と、

前記第2の絶縁膜上に第1の電極膜を形成する工程と、

前記第1の電極膜上に第3の絶縁膜を形成する工程と、

前記第3の絶縁膜上に第2の電極膜を形成する工程と、

前記第1の電極膜の表面を露出しない程度に前記第2の電極膜及び前記第3の絶縁膜をパターンニングする工程と、

全面に第4の絶縁膜を形成する工程と、

前記第3、第4の絶縁膜及び前記第1の電極膜を除去し、前記配線上の前記第2の絶縁膜の表面を露出する工程と、

全面に第5の絶縁膜を形成する工程と、

前記第5の絶縁膜上に第1の層間絶縁膜を形成する工程と、

前記第1の層間絶縁膜上に第2の層間絶縁膜を形成する工程と、

前記第1の層間絶縁膜を除去し、前記第1の層間絶縁膜内に前記第2の電極膜と接続する第1のV i aホールと、前記第1の電極膜と接続する第2のV i aホールと、前記配線と接続する第3のV i aホールとを形成す

る工程と、

前記第2の層間絶縁膜を除去し、前記第2の層間絶縁膜内の前記第1、第2、第3のV i aホール上に配線溝をそれぞれ形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項10】 前記第2の絶縁膜の膜厚と、前記第3の絶縁膜の膜厚と、前記第4及び第5の絶縁膜の膜厚を足した膜厚とがほぼ等しくなるように形成することを特徴とする請求項9記載の半導体装置の製造方法。

【請求項11】 第1の絶縁膜内に第1の配線を形成する工程と、

全面に第2の絶縁膜を形成する工程と、

前記第2の絶縁膜内に前記第1の配線と接続する第1、第2の接続孔を形成する工程と、

前記第1の接続孔上に第1の電極膜を形成する工程と、

前記第1の電極膜を覆うように第3の絶縁膜を形成する工程と、

前記第3の絶縁膜上に第2の電極膜を形成する工程と、前記第2の電極膜及び前記第3の絶縁膜をパターンニングし、前記第2の接続孔の表面及び前記第2の接続孔周辺の前記第2の絶縁膜の表面を露出する工程と、

前記パターンニングされた前記第2の電極膜上に第2の配線を形成するとともに、前記第2の接続孔と接続する第3の配線を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項12】 第1の絶縁膜内に配線を形成する工程と、

全面に第2の絶縁膜を形成する工程と、

前記第2の絶縁膜上に第1の電極膜を形成する工程と、

前記配線上の一部分に前記第1の電極膜が残るように、

前記第1の電極膜を除去する工程と、

全面に第3の絶縁膜を形成する工程と、

前記第3の絶縁膜上に第2の電極膜を形成する工程と、

前記第1の電極膜上のみに残るように、前記第3の絶縁膜及び前記第2の電極膜を除去する工程と、

全面に第1の層間絶縁膜を形成する工程と、

前記第1の層間絶縁膜上に第2の層間絶縁膜を形成する工程と、

前記第1の層間絶縁膜を除去し、前記第1の層間絶縁膜内に、前記配線と接続する第1のV i aホールと、前記第2の電極膜と接続する第2のV i aホールと、前記第1の電極膜と接続する第3のV i aホールとを形成する工程と、

前記第2の層間絶縁膜を除去し、前記第2の層間絶縁膜内の前記第1、第2、第3のV i aホール上に配線溝をそれぞれ形成する工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、キャパシタを有す

る半導体装置及びその製造方法に関する。

【0002】

【従来の技術】近年、素子の微細化に伴い、ダマシン構造のC u配線を用いた半導体装置が提供されている。

【0003】従来のダマシン構造の半導体装置は、図15に示すように、S i O₂膜61内に例えばC uからなる第1の配線62が形成されている。この第1の配線62上に誘電体膜63が形成され、この誘電体膜63上に上部電極64が形成されている。さらに、層間絶縁膜65内に上部電極64に接続するV i aホール66が形成され、このV i aホール66に接続する例えばC uからなる第2の配線67が形成されている。

【0004】このような半導体装置では、第1の配線62、誘電体膜63、上部電極64からなるキャパシタ68が形成されている。つまり、S i O₂膜61内に埋め込まれた第1の配線62は、キャパシタ68の下部電極としての役割を有している。以下、第1の配線62は下部電極と称す。

【0005】しかしながら、上記従来の半導体装置において、キャパシタ68の容量は、下部電極62と上部電極64のうち小さな表面積を有する電極の表面積により決定される。このため、大容量のキャパシタを要求された場合、上部電極64の表面積を大きくするだけでなく、下部電極62の表面積も大きくしなければならなかった。従って、大容量のキャパシタを形成するとともに、素子の微細化を図ることが非常に困難であった。

【0006】また、図17は、図16のB部の拡大図を示す。図17に示すように、誘電体膜63側の上部電極64の端部64aは鋭角となっているため、この端部64aに電界集中が発生する。従って、素子の信頼性が低下するという問題が生じていた。

【0007】さらに、アナログ受動素子として用いられているキャパシタの多くは、一種類の容量に固定されたキャパシタであるが、一つの層間内に種々の容量を有する複数のキャパシタが必要とされる場合が生じている。例えば、キャパシタ間の容量にばらつきが生じるキャパシタのペア性問題に対応するには、各キャパシタの面積を大きくし、容量のばらつきによる影響を小さくすることが考えられる。しかし、キャパシタの面積を大きくすると、チャージに伴う遅延時間が長くなるという問題が生じる。従って、キャパシタの単位面積あたりの容量を小さくする必要もある。このように容量の小さなキャパシタはチャージ時間を短縮でき、チャージに伴う遅延時間の短縮が図れるからである。このような要求に応えるために、チップ面積を増大させることなく、一つの層間内に二種類以上の容量を有する複数のキャパシタを形成する必要が生じていた。

【0008】

【発明が解決しようとする課題】以上のように、従来の半導体装置において、素子の微細化を図りつつ、大容量

のキャパシタや二種類以上の容量を有する複数のキャパシタを形成することが非常に困難であった。また、電極の端部に電界集中し、素子の信頼性が低下するという問題があった。

【0009】本発明は上記課題を解決するためになされたものであり、その目的とするところは、素子の微細化を図りつつ、大容量のキャパシタや二種類以上の容量を有する複数のキャパシタを形成することを可能とし、かつ、電界集中を緩和することが可能な半導体装置及びその製造方法を提供することにある。

【0010】

【課題を解決するための手段】本発明は、前記目的を達成するために以下に示す手段を用いている。

【0011】本発明の第1の半導体装置は、第1の絶縁膜内に選択的に形成された配線と、全面に形成された第2の絶縁膜と、前記配線以外の前記第2の絶縁膜上に形成された第1の電極膜と、前記第1の電極膜上に形成され、膜厚が薄い領域を有する第3の絶縁膜と、前記膜厚が薄い領域以外の第3の絶縁膜上に形成された第2の電極膜と、前記第2の電極膜を覆い、かつ前記第3の絶縁膜の膜厚が薄い領域上に形成された第4の絶縁膜と、全面に形成された第5の絶縁膜と、前記第5の絶縁膜上に形成された第1の層間絶縁膜と、前記第1の層間絶縁膜上に形成された第2の層間絶縁膜と、前記第1の層間絶縁膜内に形成された前記第2の電極膜と接続する第1のV i aホールと、少なくとも前記膜厚が薄い領域の第3の絶縁膜と側面が接し、前記第1の層間絶縁膜内に形成された前記第1の電極膜と接続する第2のV i aホールと、前記第1の層間絶縁膜内に形成された前記配線と接続する第3のV i aホールと、前記第2の層間絶縁膜内に形成された前記第1、第2、第3のV i aホール上にそれぞれ位置する配線溝とを具備することを特徴とする半導体装置。

【0012】前記第1、第2の電極膜と前記第3の絶縁膜とによりキャパシタが形成されている。

【0013】前記第2の絶縁膜の膜厚と、前記第3の絶縁膜の膜厚と、前記第4及び第5の絶縁膜の膜厚を足した膜厚とがほぼ等しい形成されている。

【0014】前記第3の絶縁膜が前記第1の電極膜上の一部分に形成され、前記第2のV i aホールの側面が前記第4、第5の絶縁膜と接していることが望ましい。

【0015】本発明の第2の半導体装置は、第1の絶縁膜内に形成された第1の配線と、全面に形成された第2の絶縁膜と、前記第2の絶縁膜内に形成された前記第1の配線と接続する第1、第2の接続孔と、前記第1の接続孔上に形成された第1の電極膜と、前記第1の電極膜を覆うように形成された第3の絶縁膜と、前記第3の絶縁膜上に形成された第2の電極膜と、前記第2の電極膜上に形成された第2の配線と、前記第2の配線と離間し、前記第2の接続孔と接続する第3の配線とを具備し

ている。

【0016】前記第1、第2の電極膜と前記第3の絶縁膜とによりキャパシタが形成されている。

【0017】本発明の第3の半導体装置は、第1の絶縁膜内に選択的に形成された配線と、全面に形成された第2の絶縁膜と、前記第2の絶縁膜上に前記配線の一部分と重なるように形成された第1の電極膜と、前記第1の電極膜上の一部分に形成された第3の絶縁膜と、前記第3の絶縁膜上に形成された第2の電極膜と、全面に形成された第1の層間絶縁膜と、前記第1の層間絶縁膜上に形成された第2の層間絶縁膜と、前記第1の層間絶縁膜内に形成された前記配線と接続する第1のV i aホールと、前記第1の層間絶縁膜内に形成された前記第2の電極膜と接続する第2のV i aホールと、前記第1の層間絶縁膜内に形成された前記第1の電極膜と接続する第3のV i aホールと、前記第2の層間絶縁膜内に形成された前記第1、第2、第3のV i aホール上にそれぞれ位置する配線溝とを具備している。

【0018】前記配線と前記第1の電極膜と前記第2の絶縁膜とにより第1のキャパシタが形成され、前記第1、第2の電極膜と前記第3の絶縁膜とにより第2のキャパシタが形成されており、前記第1、第2のキャパシタは容量が異なっていることが望ましい。

【0019】本発明の第1の半導体装置の製造方法は、第1の絶縁膜内に配線を形成する工程と、全面に第2の絶縁膜を形成する工程と、前記第2の絶縁膜上に第1の電極膜を形成する工程と、前記第1の電極膜上に第3の絶縁膜を形成する工程と、前記第3の絶縁膜上に第2の電極膜を形成する工程と、前記第1の電極膜の表面を露出しない程度に前記第2の電極膜及び前記第3の絶縁膜をバタニングする工程と、全面に第4の絶縁膜を形成する工程と、前記第3、第4の絶縁膜及び前記第1の電極膜を除去し、前記配線上の前記第2の絶縁膜の表面を露出する工程と、全面に第5の絶縁膜を形成する工程と、前記第5の絶縁膜上に第1の層間絶縁膜を形成する工程と、前記第1の層間絶縁膜上に第2の層間絶縁膜を形成する工程と、前記第1の層間絶縁膜を除去し、前記第1の層間絶縁膜内に前記第2の電極膜と接続する第1のV i aホールと、前記第1の電極膜と接続する第2のV i aホールと、前記配線と接続する第3のV i aホールとを形成する工程と、前記第2の層間絶縁膜を除去し、前記第2の層間絶縁膜内の前記第1、第2、第3のV i aホール上に配線溝をそれぞれ形成する工程とを含んでいる。

【0020】前記第2の絶縁膜の膜厚と、前記第3の絶縁膜の膜厚と、前記第4及び第5の絶縁膜の膜厚を足した膜厚とがほぼ等しくなるように形成することが望ましい。

【0021】本発明の第2の半導体装置の製造方法は、第1の絶縁膜内に第1の配線を形成する工程と、全面に

第2の絶縁膜を形成する工程と、前記第2の絶縁膜内に前記第1の配線と接続する第1、第2の接続孔を形成する工程と、前記第1の接続孔上に第1の電極膜を形成する工程と、前記第1の電極膜を覆うように第3の絶縁膜を形成する工程と、前記第3の絶縁膜上に第2の電極膜を形成する工程と、前記第2の電極膜及び前記第3の絶縁膜をパターニングし、前記第2の接続孔の表面及び前記第2の接続孔周辺の前記第2の絶縁膜の表面を露出する工程と、前記パターニングされた前記第2の電極膜上に第2の配線を形成するとともに、前記第2の接続孔と接続する第3の配線を形成する工程とを含んでいる。

【0022】本発明の第3の半導体装置の製造方法は、第1の絶縁膜内に配線を形成する工程と、全面に第2の絶縁膜を形成する工程と、前記第2の絶縁膜上に第1の電極膜を形成する工程と、前記配線上の一部分に前記第1の電極膜が残るように、前記第1の電極膜を除去する工程と、全面に第3の絶縁膜を形成する工程と、前記第3の絶縁膜上に第2の電極膜を形成する工程と、前記第1の電極膜上にのみに残るように、前記第3の絶縁膜及び前記第2の電極膜を除去する工程と、全面に第1の層間絶縁膜を形成する工程と、前記第1の層間絶縁膜上に第2の層間絶縁膜を形成する工程と、前記第1の層間絶縁膜を除去し、前記第1の層間絶縁膜内に、前記配線と接続する第1のV i aホールと、前記第2の電極膜と接続する第2のV i aホールと、前記第1の電極膜と接続する第3のV i aホールとを形成する工程と、前記第2の層間絶縁膜を除去し、前記第2の層間絶縁膜内の前記第1、第2、第3のV i aホール上に配線溝をそれぞれ形成する工程とを含んでいる。

【0023】

【発明の実施の形態】本発明の実施の形態を以下に図面を参照して説明する。

【0024】〔第1の実施形態〕第1の実施形態は、ダマシ構造のCu配線を有する半導体装置について説明する。以下、第1の実施形態における半導体装置の製造方法について説明する。

【0025】まず、図1に示すように、SiO₂膜11内に配線溝11aが形成された後、全面にバリアメタル層12が形成される。このバリアメタル層12上に例えばCuのような配線材料が形成され、配線溝11aが埋め込まれる。次に、CMP (Chemical Mechanical Polish) 等により、SiO₂膜11の表面が露出するまで、配線材料、バリアメタル層12が平坦化され、SiO₂膜11内に埋め込まれた第1の配線13が形成される。

【0026】次に、スパッタリングにより、全面に例えばSiN膜からなるCu拡散防止膜14が形成され、このCu拡散防止膜14上に例えばTiN膜からなる下部電極膜15が形成される。この下部電極膜15上に例えばTa₂O₅膜からなる誘電体膜16が形成され、この誘電体膜16上に例えばTiN膜からなる上部電極膜17

が形成される。ここで、Cu拡散防止膜14の膜厚は例えば50nm、下部電極膜15の膜厚は例えば60nm、誘電体膜16の膜厚は例えば50nm、上部電極膜17の膜厚は例えば50nmとする。

【0027】次に、図2に示すように、上部電極膜17上にレジスト膜18が形成され、このレジスト膜18が光リソグラフィによりパターニングされる。このパターニングされたレジスト膜18をマスクとして、RIE (Reactive Ion Etching) により上部電極膜17が除去される。ここで、上部電極膜17が除去されるとともに、誘電体膜16が30nmだけ除去される。その結果、上部電極膜17の幅よりも大きな幅を一部分に有する誘電体膜16が形成される。このようにして、上部電極膜17、誘電体膜16、下部電極膜15からなるキャパシタ28が形成される。その後、レジスト膜18が除去される。

【0028】次に、図3に示すように、全面にSiN膜19が形成される。このSiN膜19上にレジスト膜20が形成され、このレジスト膜20が光リソグラフィによりパターニングされる。このパターニングされたレジスト膜20をマスクとして、RIEにより、SiN膜19、誘電体膜16、下部電極膜15が除去され、Cu拡散防止膜14の表面が露出される。その後、レジスト膜20が除去される。

【0029】次に、図4に示すように、全面にSiN膜21が形成される。ここで、SiN膜19と20の膜厚を足した厚さは例えば50nm程度となっている。

【0030】次に、図5に示すように、PECVD (Plasma Enhanced Chemical Vapor Deposition) 法により、全面に例えばSiO₂膜からなる第1の層間絶縁膜22が形成され、CMP法により、第1の層間絶縁膜22が平坦化される。この平坦化された第1の層間絶縁膜22上に第2の層間絶縁膜23が形成される。この第2の層間絶縁膜23は、例えばSiN膜のような低誘電率層間絶縁膜からなる。これにより、配線間の容量の低減を図ることができる。

【0031】次に、光リソグラフィとRIEにより、第1の層間絶縁膜22が除去され、第1の層間絶縁膜22内にV i aホール24a、24b、24cが形成される。ここで、V i aホール24aは上部電極膜17と接続し、V i aホール24bは下部電極膜15と接続し、V i aホール24cは第1の配線13と接続する。

【0032】次に、第2の層間絶縁膜23がエッチングされ、第2の層間絶縁膜23内のV i aホール24a、24b、24c上に配線溝25がそれぞれ形成される。

【0033】次に、図6に示すように、全面に例えばTa₂Nからなるバリアメタル層26が形成される。このバリアメタル層26上に例えばCuのような配線材料が形成され、この配線材料によってV i aホール24a、24b、24c及び配線溝25が埋め込まれる。次に、C

MP等により、第2の層間絶縁膜23の表面が露出するまでバリアメタル層26及び配線材料が平坦化され、第2の配線27が形成される。

【0034】上記第1の実施形態によれば、第1の配線13をキャパシタの下部電極として用いずに、キャパシタ28は第1の配線13とは別に形成されている。従って、第1の配線13を大きくすることなく、下部電極15及び上部電極17の面積を調整するだけで大容量のキャパシタを形成することができる。従って、素子の微細化も容易となる。

【0035】また、上部電極17の加工時において、下部電極15上の誘電体膜16を完全にエッチングしないことにより、上部電極膜17の幅よりも大きな幅を一部分に有する誘電体膜16が形成されている。これにより、リーク電流のパス形成を妨げつつ、上部電極17の端部における電界集中を緩和できる。

【0036】また、キャパシタ28の上下の絶縁膜14、19、21は、従来のようにViaホールの高さに左右されるような層間絶縁膜ではないため、絶縁膜14、19、21の膜厚の調整は容易である。このため、誘電体膜16の膜厚(50nm)を、SiN膜19と20の膜厚(50nm)やCu拡散防止膜14の膜厚(50nm)とほぼ同じにすることができる。従って、誘電体膜16とSiN膜19、20及びCu拡散防止膜14との膜厚の差が小さくできるため、コンタクト抵抗の増大を回避することができる。

【0037】また、Viaホール24a、24b、24cは、キャパシタ28が形成された後に形成されている。つまり、キャパシタ28形成時には第1の配線13の表面にCu拡散防止膜14が形成されているため、第1の配線13におけるCu汚染を防止することができる。

【0038】また、上述したように、キャパシタ28は第1の配線13とは別に形成するため、第1の配線13はViaホール24aの下のみ形成すればよい。従来技術のように第1の配線62の表面積が大きな場合、第1の配線62の膜減りにより、誘電体膜63の面積が制限されるという問題が顕著になっていた。しかし、第1の配線13の表面積を従来よりも小さくすることができるため、膜減りの問題を抑制することができる。さらに、Cu拡散防止膜14における誘電率が高くても、第1の配線13は一部分にしか形成されていないため、寄生容量を小さくすることが可能となる。

【0039】尚、第1の実施形態において、Viaホール24bの側面は、シリコン窒化膜19、21や誘電体膜16と接しているが、これに限定されない。例えば、誘電体膜16が下部電極15上の一部分に形成され、Viaホール24bの側面がシリコン窒化膜19、21に接する構造としてもよい。この場合、Viaホール24a、24b、24cの加工条件(エッチング条件)を等

しくできるという利点がある。

【0040】[第2の実施形態]第2の実施形態は、A1配線を有する半導体装置について説明する。以下、第2の実施形態における半導体装置の製造方法について説明する。

【0041】まず、図7に示すように、SiO₂膜31内にA1からなる第1の配線32が形成される。次に、全面に例えばSiO₂膜からなる層間絶縁膜33が形成され、この層間絶縁膜33内にViaホール34a、34bが形成される。次に、全面に例えばTiN膜からなる下部電極膜35が形成され、この下部電極膜35がViaホール34a上のみに残るようにパターニングされる。ここで、下部電極膜35の膜厚は例えば60nmとする。

【0042】次に、図8に示すように、全面に例えばTa₂O₅膜からなる誘電体膜36が形成され、この誘電体膜36上に例えばTiN膜からなる上部電極膜37が形成される。ここで、誘電体膜36の膜厚は例えば50nmとし、上部電極膜37の膜厚は例えば50nmとする。

【0043】次に、レジスト膜(図示せず)が形成され、このレジスト膜がViaホール34b上以外に残るようにパターニングされる。このパターニングされたレジスト膜をマスクとして、上部電極膜37及び誘電体膜36が除去され、Viaホール34bの表面及びViaホール34b周辺の層間絶縁膜33の表面が露出される。これにより、下部電極膜35、誘電体膜36、上部電極膜37からなるキャパシタ39が形成される。その後、レジスト膜が除去される。

【0044】次に、図9に示すように、全面にA1からなる配線材料が形成されてパターニングされる。その結果、上部電極膜37上に第2の配線38aが形成されるとともに、Viaホール34bと接続する第3の配線38bが形成される。

【0045】図10は、図9のA部の拡大図を示している。図11は、従来と本発明と比較した電極端部における電場強度を示している。

【0046】図10に示すように、誘電体膜36側の下部電極35の端部35aは鈍角となっている。従って、図11に示すように、本発明は従来に比べて、電極端部の電場が弱くなっている。

【0047】上記第2の実施形態によれば、下部電極35の幅を誘電体膜36及び上部電極37よりも小さく形成し、下部電極35が誘電体膜36及び上部電極37で覆われる構造となっている。これにより、誘電体膜36側の下部電極35の端部35aが鈍角となるため、この端部64aに電界が集中することを緩和できる。従って、素子の信頼性を向上させることが可能となる。

【0048】[第3の実施形態]第3の実施形態は、ダマシン構造のCu配線と積層構造のキャパシタとを有す

る半導体装置について説明する。以下、第3の実施形態における半導体装置の製造方法について説明する。

【0049】まず、図12に示すように、 SiO_2 膜41内に配線溝41aが形成された後、バリアメタル層42が形成される。このバリアメタル層42上に例えばCuのような配線材料が形成され、配線溝41aが埋め込まれる。次に、CMP等により、 SiO_2 膜41の表面が露出するまで、配線材料、バリアメタル層42が平坦化され、 SiO_2 膜41内に埋め込まれた第1の配線43が形成される。

【0050】次に、全面に例えばSiN膜からなる誘電体膜44が形成され、この誘電体膜44上に例えばTiN膜、Ta等からなる中間電極膜45が形成される。

【0051】次に、図13に示すように、中間電極膜45上にレジスト膜（図示せず）が形成されてパターニングされる。このパターニングされたレジスト膜をマスクとして、第1の配線43上に一部分が残るように中間電極膜45が除去され、誘電体膜44の表面が露出される。その後、レジスト膜が除去される。これにより、第1の配線43、誘電体膜44、中間電極膜45からなる第1のキャパシタ54が形成される。ここで、第1の配線43は第1のキャパシタ54の下部電極となる。以下、第1の配線43は下部電極膜と称す。

【0052】次に、図14に示すように、全面に例えば Ta_2O_5 膜からなる誘電体膜46が形成され、この誘電体膜46上に例えばTa_xNからなる上部電極膜47が形成される。次に、上部電極膜47上にレジスト膜（図示せず）が形成されてパターニングされる。このパターニングされたレジスト膜をマスクとして、中間電極膜45上のみ残るように、上部電極膜47及び誘電体膜46が除去され、誘電体膜44及び中間電極膜45の表面が露出される。その後、レジスト膜が除去される。これにより、中間電極膜45、誘電体膜46、上部電極膜47からなる第2のキャパシタ55が形成される。ここで、第2のキャパシタ55は第1のキャパシタ54と異なる容量を有する。

【0053】次に、図15に示すように、PECVD法により、全面に例えば SiO_2 膜からなる第1の層間絶縁膜48が形成され、CMP法により、第1の層間絶縁膜48が平坦化される。この平坦化された第1の層間絶縁膜48上に第2の層間絶縁膜49が形成される。この第2の層間絶縁膜49は、例えばSiN膜のような低誘電率層間絶縁膜からなる。これにより、配線間の容量の低減を図ることができる。

【0054】次に、光リソグラフィとRIEにより、第1の層間絶縁膜48が除去され、第1の層間絶縁膜48内にViaホール50a、50b、50cが形成される。ここで、Viaホール50aは下部電極膜43と接続し、Viaホール50bは上部電極膜47と接続し、Viaホール50cは中間電極膜45と接続する。

【0055】次に、第2の層間絶縁膜49がエッチングされ、第2の層間絶縁膜49内のViaホール50a、50b、50c上に配線溝51がそれぞれ形成される。

【0056】次に、全面に例えばTa_xNからなるバリアメタル層52が形成される。このバリアメタル層52上に例えばCuのような配線材料が形成され、この配線材料によってViaホール50a、50b、50c及び配線溝51が埋め込まれる。次に、CMP等により、第2の層間絶縁膜49の表面が露出するまでバリアメタル層52及び配線材料が平坦化され、第2の配線53が形成される。

【0057】上記第3の実施形態によれば、一つの層間内に複数のキャパシタ54、55を積層構造で形成している。これらのキャパシタ54、55は容量が異なるため、一つの層間内に種々の容量を有する複数のキャパシタを形成することができる。従って、従来のベア性問題に対しては、キャパシタ面積を大きくすることなく、複数のキャパシタを組み合わせることで大容量化を図ることができる。また、容量の小さなキャパシタを選択すれば、読み出し等の高速化を図ることができる。

【0058】このように、種々の要求に応えることが可能な二種類以上の容量を有する複数のキャパシタを形成することができる。また、キャパシタは積層構造であるため、チップ面積を縮小でき素子の微細化が可能となる。

【0059】その他、本発明は、その要旨を逸脱しない範囲で、種々変形して実施することが可能である。

【0060】

【発明の効果】以上説明したように本発明によれば、素子の微細化を図りつつ、大容量のキャパシタや二種類以上の容量を有する複数のキャパシタを形成することを可能とし、かつ、電界集中を緩和することが可能な半導体装置及びその製造方法を提供できる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係わる半導体装置の製造工程を示す断面図。

【図2】図1に続く、本発明の第1の実施形態に係わる半導体装置の製造工程を示す断面図。

【図3】図2に続く、本発明の第1の実施形態に係わる半導体装置の製造工程を示す断面図。

【図4】図3に続く、本発明の第1の実施形態に係わる半導体装置の製造工程を示す断面図。

【図5】図4に続く、本発明の第1の実施形態に係わる半導体装置の製造工程を示す断面図。

【図6】図5に続く、本発明の第1の実施形態に係わる半導体装置の製造工程を示す断面図。

【図7】本発明の第2の実施形態に係わる半導体装置の製造工程を示す断面図。

【図8】図7に続く、本発明の第2の実施形態に係わる半導体装置の製造工程を示す断面図。

【図9】図8に続く、本発明の第2の実施形態に係わる半導体装置の製造工程を示す断面図。

【図10】図9のA部の拡大図であり、本発明の第2の実施形態における電極端部を示す断面図。

【図11】第2の実施形態と従来技術における電極端部の電場強度を比較した図。

【図12】本発明の第3の実施形態に係わる半導体装置の製造工程を示す断面図。

【図13】図12に続く、本発明の第3の実施形態に係わる半導体装置の製造工程を示す断面図。

【図14】図13に続く、本発明の第3の実施形態に係わる半導体装置の製造工程を示す断面図。

【図15】図14に続く、本発明の第3の実施形態に係わる半導体装置の製造工程を示す断面図。

【図16】従来技術による半導体装置を示す断面図。

【図17】図16のB部の拡大図であり、従来技術における電極端部を示す断面図。

【符号の説明】

11、31、41…SiO₂膜、

11a、25、41a、51…配線溝、

12、26、42、52…バリアメタル層、

13、32…第1の配線、

14…Cu拡散防止膜、

15、35…下部電極膜、

16、36、44、46…誘電体膜、

17、37、47…上部電極膜、

18、20…レジスト膜、

19、21…SiN膜、

22、48…第1の層間絶縁膜、

23、49…第2の層間絶縁膜、

24a、24b、24c、34a、34b、50a、50b、50c…Viaホール、

27、38a、53…第2の配線、

28、39、54、55…キャパシタ、

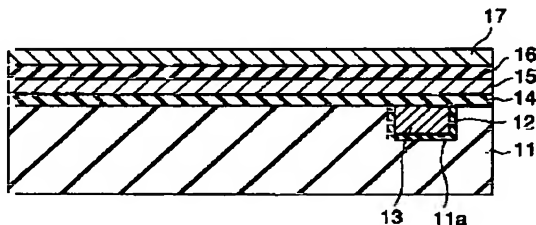
33…層間絶縁膜、

38b…第3の配線、

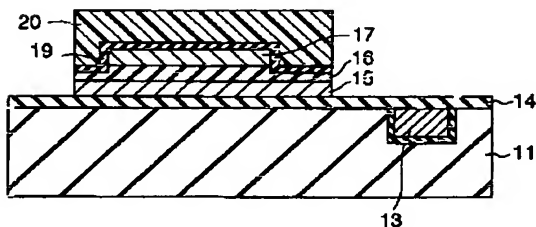
43…第1の配線（下部電極）、

45…中間電極膜。

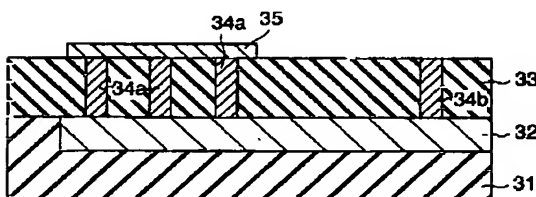
【図1】



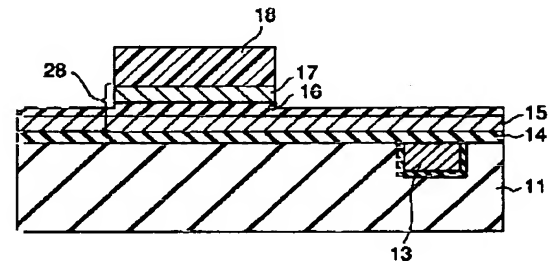
【図3】



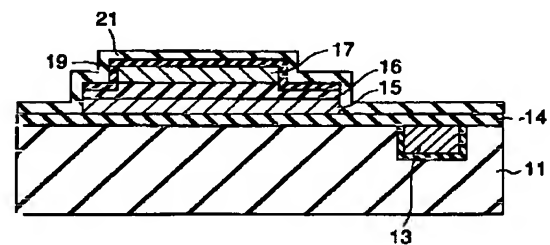
【図7】



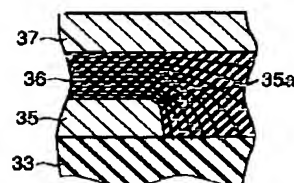
【図2】



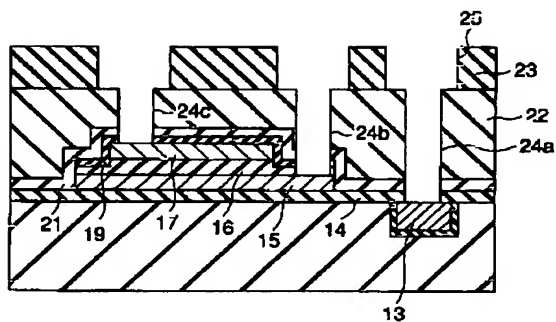
【図4】



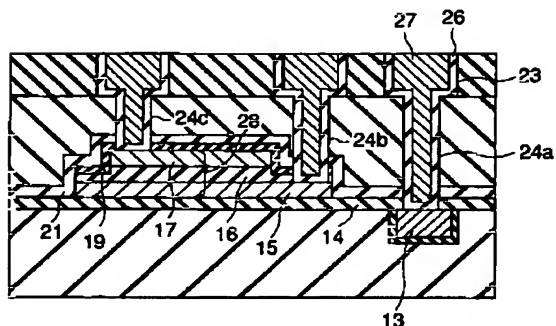
【図10】



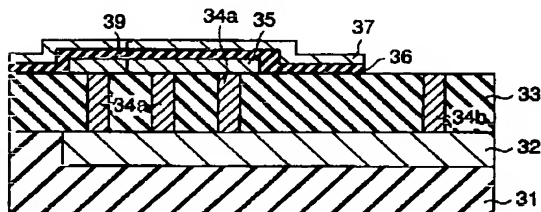
【図5】



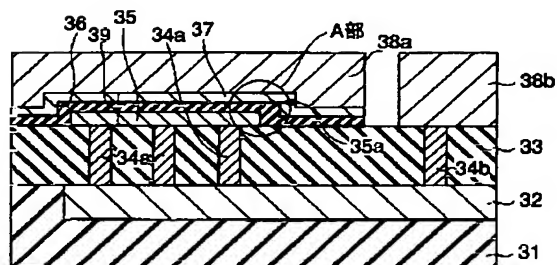
【図6】



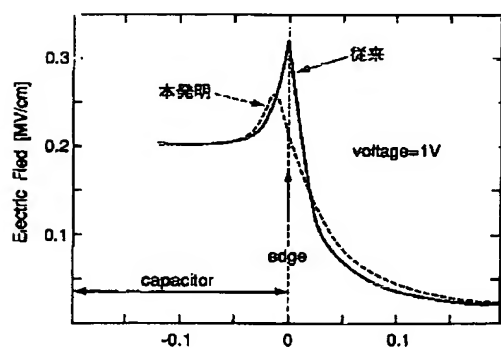
【図8】



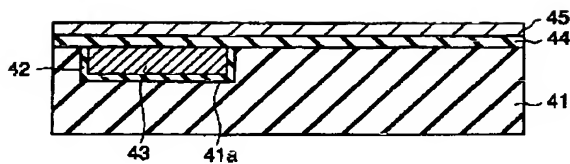
【図9】



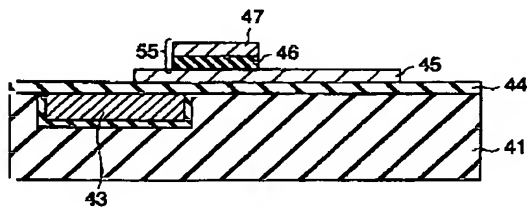
【図11】



【図12】



【図14】



【図13】

